

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-089346

(43)Date of publication of application : 03.04.1989

(51)Int.Cl.

H01L 21/94

H01L 21/02

H01L 21/20

(21)Application number : 62-245014

(71)Applicant : SONY CORP

(22)Date of filing : 29.09.1987

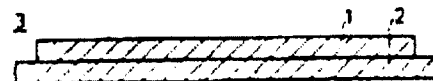
(72)Inventor : IZAWA NOBUYUKI
SATO HIROSHI
HAYASHI HISAO

(54) SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PURPOSE: To reduce the waste of a semiconductor material by disposing the outer peripheral end of one substrate inside the outer peripheral end of the other substrate in a semiconductor substrate in which two semiconductor substrates are bonded.

CONSTITUTION: First and second semiconductor substrates 1, 2 are bonded, and at least the outer peripheral end of the substrate 1 is disposed inside that of the substrate 2. According to a substrate 3 of this construction, the substrate 2 has a specification of standard size by allowing at least part of the outer peripheral end to remain. Accordingly, the outer peripheral end of only the substrate 1 is removed to have a small diameter, thereby avoiding an irregular stepwise difference due to a gap between the substrates 1 and 3 or displacement of them. Thus, a problem of contamination in steps of manufacturing a semiconductor device can be avoided. Further, since the entirety has a diameter of standard size, an apparatus for manufacturing in standard size can be employed, thereby minimizing the waste of a semiconductor material.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑬ 公開特許公報(A)

昭64-89346

⑫ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)4月3日

H 01 L 21/94
21/02
21/20

6708-5F
B-7454-5F
7739-5F

審査請求 未請求 発明の数 1 (全1頁)

⑮ 発明の名称 半導体基板

⑯ 特 願 昭62-245014

⑰ 出 願 昭62(1987)9月29日

⑱ 発 明 者	伊 沢 伸 幸	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 発 明 者	佐 藤 弘	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑳ 発 明 者	林 久 雄	東京都品川区北品川6丁目7番35号	ソニー株式会社内
㉑ 出 願 人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
㉒ 代 理 人	弁理士 伊 藤 貞	外1名	

明 細 書

発明の名称 半導体基板

特許請求の範囲

第1及び第2の半導体基板が貼り合わされてなり、かつ少なくとも上記第1の半導体基板の外周端が、上記第2の半導体基板の外周端より内側にあることを特徴とする半導体基板。

発明の詳細な説明

(産業上の利用分野)

本発明は、単体半導体装置あるいは半導体集積回路装置等の各種半導体装置を製作する場合に用いられる半導体基板、特に第1及び第2の半導体基板が貼り合わされてなる半導体基板に関わる。

(発明の概要)

本発明は、2枚の半導体基板が貼り合わされてなる半導体基板において、その少なくとも第1の半導体基板の外周端が第2の半導体基板の外周端より内側にあるようにして2枚の半導体基板の貼り合わせにおいて問題となる周縁部の貼り合わせ部

における不良部が排除され、しかもその有効使用面積の増大化とまた半導体基板としての規格に合致した半導体基板を得ることができるようにして取り換いの簡便化を図る。

(従来の技術)

従来、第4図にその一部の拡大断面図を示すように第1及び第2の例えばシリコン単結晶半導体基板(Ⅲ)及び(Ⅳ)が直接的にあるいは酸化物膜を介して接合されて各種大電力用ないしは高耐圧用半導体装置、あるいはいわゆる SOI 型(セミコンダクタ オン インシュレータ)等の半導体基板(Ⅴ)を構成することが行われている。この種の第1及び第2のシリコン半導体基板(Ⅲ)及び(Ⅳ)の直接的接合あるいは酸化膜介在による接合等については例えば特開昭60-121778号公報、特開昭60-121777号公報、電子通信学会技術研究報告 SDH87-25第9~14頁、同報告 SDH87-24第5~8頁、あるいはアプリケーション フィジックス レター (Appl. Phys. Lett.) Vol.48, No.1.6, 1月1986第78~第80

頁等にその開示がある。

これら第1及び第2の半導体基板が接合合体された半導体基板においては、第4図に示すようにそれぞれその第1の半導体基板(1)及び第2の半導体基板(2)自体の研削等によって積極的にあるいは必然的にその外周部が丸味を帯びた形状とされていることによって、これら2枚の半導体基板(1)及び(2)を接合合体した場合、その外周部の互いの合体部には、隙間が生じ、また両基板(1)及び(2)のいずれかによる不均一な段差が発生し、この半導体基板(2)に対する各種半導体素子の製造過程において塗膜の付着、汚損の発生、機械的取扱いの不確実性等を招来するために、半導体装置の製造プロセス前にこの隙間ないしは段差(4)を有する部分の排除がなされる。この排除すべき幅 W_1 は、例えば第1及び第2の半導体基板として直径6インチの半導体基板同士の接合である場合、例えば $W_1 \approx 0.4$ インチ程度となる。したがって、この隙間ないしは段差(4)を排除する目的のみで接合半導体基板の外周部の排除を行う場合には直径6イ

ンチの半導体基板が直径5.6インチ程度に減少させればよいことになる。ところが、実際上半導体装置の製造において半導体基板を取り扱う各種装置においては、その取り扱う半導体基板の直径が規定されていて例えば標準サイズの3インチ、4インチ、5インチ、6インチ、8インチ等に決められてしまうために必要最小限の切削幅 W_1 が0.4インチ程度であっても、これより充分大きな幅 W_2 をもって外周端からの切削を行って、例えば両基板(1)及び(2)の初期の径が5インチの基板である場合、接合後には、5インチの標準サイズの基板にする必要が生じ、半導体材料の無駄が大となり、またこのような大なる幅の W_2 をもって接合基板の周辺を大きく排除することはその加工作業に長時間を要し、技術的にも面で作業性が低下するなどの問題点がある。

(発明が解決しようとする問題点)

本発明は、上述した第1及び第2の半導体基板の接合によって形成される半導体基板において、

半導体材料の無駄をできるだけ小さくし、かつ標準サイズを取り扱う従来の半導体装置の製造装置をそのまま使用することを可能にした半導体基板を提供するものである。

(問題点を解決するための手段)

本発明は、第1図に示すように第1及び第2の半導体基板(1)及び(2)が貼り合わされてなり、かつ少くともその第1の半導体基板(1)の外周端が第2の半導体基板(2)の外周端より内側にあるような構成とする。

(作用)

上述の本発明による半導体基板によれば、一方の半導体基板(2)についてはその少くとも一部の外周端が残されていることによって標準サイズの規格を有するものであり、一方の基板(1)についてのみその外周端が排除された小径構成をとることによって第1及び第2の基板(1)及び(2)間に隙間ないしはずれによる不均一な段差を回避でき、これに

よって、上述した半導体装置の製造過程における汚損等の問題を回避でき、しかも全体としての直径は初期状態の標準サイズを有することから、標準サイズを取り扱う製造装置の使用が可能になり半導体材料の排除、すなわち無駄を最小限に留めることができる。

(実施例)

第2図を参照して本発明の一例をその理解を容易にするためにその製造方法の一例とともに説明する。まず、第2図Aに示すようにそれぞれ例えば単結晶シリコン半導体よりなる第1及び第2の半導体基板(1)及び(2)を例えば酸化処理を伴うSiO₂酸化膜(3)の介在によって周知の技術によって一体に接合合体する。そして、この接合合体された半導体基板の一方例えば図においては第1の基板(1)上に第4図で説明した隙間ないしは段差(4)の排除等に必要な幅 W_1 に相当する外周端からの幅 W を残して全表面にフォトリソ等のエッチングマスク(5)を被着する。

その後、第2図Bに示すようにエッチングマスク(4)をマスクとして、これによって覆われていない部分の基板(1)の表面に形成されている SiO_2 酸化膜(5)を例えば異方性エッチング例えば反応性イオンエッチング(RIE)によって基板(1)の基板(2)と接合される側とは反対側の主面の周辺部の SiO_2 酸化膜(5)をエッチング除去する。

次に、第2図Cに示すように絶縁層の除去されたシリコン基板(1)をその外周端において幅Wをもって化学的エッチング等によって排除する。例えばKOH水溶液でエッチングする。この場合、このエッチング液のSiと SiO_2 に対するエッチング速度 R_{Si} と R_{SiO_2} との比、 $R_{\text{Si}}/R_{\text{SiO}_2}=10^1 \sim 10^4$ であることから、基板(1)側からのエッチングが両基板(1)及び(2)間の SiO_2 酸化膜(5)に達するとき、熱激にそのエッチングの進行度が低下してそのエッチングが実質的に停止するので、この時そのエッチング作業をやめれば、基板(1)についてのみ、 SiO_2 酸化膜(5)によって覆われていない周辺部が幅Wに相当する幅をもってエッチング除去され隙間(6)

いしは段差(4)の排除がなされ基板(2)については、初期状態の極のまま残される。つまり、基板(1)及び(2)の接合合体された基板(3)の全体的な直径は、エッチングされない第2の基板(2)の外径によって決定されるので、この外径が例えば6インチのものを使用する場合においては、最終的に得た半導体基板(3)においてもその外径は6インチとなり、6インチ基準サイズの基板を取り扱う半導体装置の製造用の取り扱い装置を使用することができる。

上述の第2図の例においては、第1及び第2の半導体基板(1)及び(2)が絶縁層の介在によって接合する態様をとる場合についての例を示したが、第1及び第2の基板(1)及び(2)が直接的に顔面接合されるようにした接合態様をとる場合に本発明を適用することもでき、この場合の一例を第3図を参照してその理解を容易にするために製造方法とともに説明する。この場合においても、例えばシリコン単結晶体よりなる第1及び第2の半導体基板(1)及び(2)を周知の直接的接合、すなわち両基板(1)及び(2)の接合面を顔面平坦化し、両者を合わせた

状態で所定の温度に加熱することによって第3図Aに示すように、両基板(1)及び(2)の接合合体基板を作製する。

次に、この例においては第3図Bに示すように両基板(1)及び(2)が合体された基板の表面を例えば熱酸化して SiO_2 等の酸化膜(5)を形成する。その後、第2図Bで説明したと同様にエッチングマスク(4)を基板(1)上の外周端より幅Wを除いて内側に全面的に被着し、第3図Cに示すようにエッチング処理を施して基板(1)の表面の酸化膜(5)を選択的にエッチング除去する。

次に、第3図Dに示すように基板(1)の酸化膜(5)が除去された部分からKOH等のエッチング液によってエッチングを例えば基板(2)の一部に跨るようにすなわち基板(1)及び(2)の接合面を横切る位置までかつ基板(2)をできるだけ大なる厚さをもって残すようにエッチングする。

このようにすれば第1及び第2の基板(1)及び(2)が接合された半導体基板(3)が得られ、両基板(1)及び(2)間に生ずる外周端の隙間の段差(4)が排除され、

全体としては基板(2)の外周端によって決まる外径寸法を有する前述したと同様の半導体基板(3)を得ることができる。

尚、第2図及び第3図で説明した例においては基板(1)に対する外周端のエッチングを化学的エッチングによって行う場合について説明したが、これを基板(1)に対する外周端の切除をラッピング等による機械的研削、ダイヤモンドカップホイール等による機械的研削、ダイヤモンドバイト等による機械切削方法によって排除するようにすることもできる。

(発明の効果)

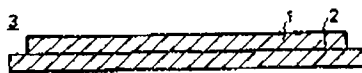
上述したように本発明によれば、第1及び第2の基板(1)及び(2)の接合によって半導体基板(3)を構成するものであるが、第1の基板(1)についてのみその外周端を切除して半導体装置の製造において問題となる基板(1)及び(2)の接合外周部における隙間等の不要部分の排除を行うようにし、全体としては初期の状態における直径すなわち規格の標準

サイズの直径の基板として形成するので半導体材料の無駄を最小限に留めることができ、しかも標準サイズの半導体基板を取り扱う半導体製造装置を適用することができるのでコスト高を招来することなく目的とする半導体装置を得ることができ例えば接合型半導体基板を適用するパワーないしは高耐圧半導体装置、あるいはSOI型集積回路等に本発明を適用してその工業的利益は甚大である。

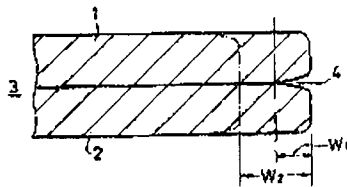
図面の簡単な説明

第1図は本発明による半導体基板の一例の略横断断面図、第2図は本発明による半導体基板の一例のその説明に供する製造工程図、第3図は本発明基板の他の例のその説明に供する製造工程図、第4図は従来基板の要部の略横断断面図である。

(1)は第1の半導体基板、(2)は第2の半導体基板、
(3)は第1及び第2の半導体基板の合体による半導体基板である。

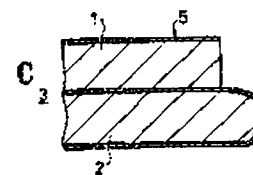
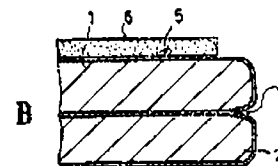
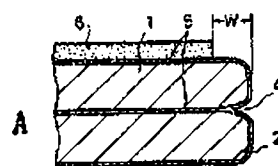


本発明による半導体基板
第1図

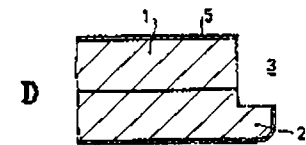
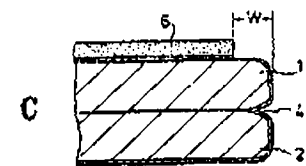
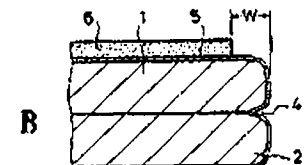
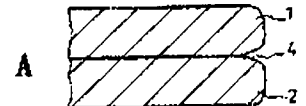


従来基板の断面図
第4図

- 1.....第1の半導体基板
- 2.....第2の半導体基板
- 3.....半導体基板
- 4.....接合部のシールド層
- 5.....絶縁層
- 6.....エッジングマスク



本発明基板の製造工程図
第2図



本発明基板の他の例の製造工程図
第3図

特開平1-89346

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成7年(1995)3月31日

【公開番号】特開平1-89346

【公開日】平成1年(1989)4月3日

【年追号数】公開特許公報1-894

【出願番号】特願昭62-245014

【国際特許分類第6版】

H01L 27/12 B 9956-461

21/02 B 6918-461

21/20 8122-461

手 続 補 正 書

平成 6 年 7 月 6 日

新幹線高速 高 島 支 店



1. 事件の表示

昭和62年 特 許 願 第245014号

2. 発明の名称

半導体基根

3. 補正をする者

事社との関係 特許出願人

住 所 東京都品川区北品川6丁目7番35号

名 称 (218)ソ ニ ー 株 式 会 社

代表取締役 大 賀 興 隆

4. 代 理 人

住 所 東京都港区西新橋1丁目6番1号
TEL 03-3342-5321 00 (新橋ビル)

氏 名 (8088) 井 澤 士 掛 瀬 光 彦



5. 補正の日の付 平成 年 月 日

6. 補正により増加する発明の数

7. 補正の対象 明細書の発明の詳細な説明の欄。

8. 補正の内容

改正

01 明細書中、第2頁下から2行「アプリケーション」を「アプライド」と訂正する。

以 上